

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

1020030053312 A

(43) Date of publication of application:

28.06.2003

(21) Application number: 1020010083491

(71) Applicant:

HYNIX SEMICONDUCTOR  
INC.

(22) Date of filing: 22.12.2001

(72) Inventor:

LEE, SEUNG CHEOL  
PARK, SANG UK

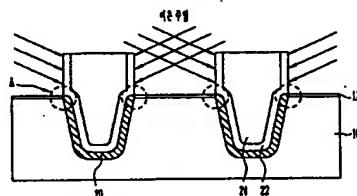
(51) Int. Cl

H01L 27/115

(54) METHOD FOR FABRICATING FLASH MEMORY CELL

(57) Abstract:

PURPOSE: A method for fabricating a flash memory cell is provided to minimize spacing of a floating gate while controlling the generation of a moat of a trench insulation layer by performing an ion implantation process before a cleaning process for making a protrusion of the trench insulation layer have a nipple type of a predetermined width is performed, so that an etch rate in the protrusion of the trench insulation layer except a moat formation portion is increased.



CONSTITUTION: A pad oxide layer(12) and a pad nitride layer are formed on a semiconductor substrate (10). A trench is formed in the semiconductor substrate. After the trench insulation layer(24) is formed on the resultant structure, the first planarization process is performed to isolate the trench insulation layer. The pad nitride layer is removed to expose the protrusion of the trench insulation layer. An ion implantation process is performed to dope the protrusion of the trench insulation layer. A cleaning process is performed to etch the protrusion of the trench insulation layer by a predetermined width. After the first polysilicon layer is formed on the resultant structure, the second planarization process is performed to form an isolated floating gate. After a dielectric layer and the second polysilicon layer are formed on the resultant structure, an etch process is performed to form a control gate.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20031030)

Patent registration number (1004061800000)

Date of registration (20031106)

Number of opposition against the grant of a patent ( )

**Date of opposition against the grant of a patent (00000000)**

**Number of trial against decision to refuse ( )**

**Date of requesting trial against decision to refuse ( )**

**Date of extinction of right ( )**

특 2003-0053312

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.  
H01L 27/115(11) 공개번호 특 2003-0053312  
(43) 공개일자 2003년 06월 20일

(21) 출원번호	10-2001-0083491
(22) 출원일자	2001년 12월 22일
(71) 출원인	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1 이승철
(72) 발명자	경기도 이천시 증포동 191-7 선경아파트 101-604. 박상욱
(74) 대리인	서울특별시 광진구 광장동 554-7 현대아파트 501-1601 신영무

설사첨부 : 있음(54) 플래쉬 메모리 셀의 제조 방법**요약**

본 발명은 플래쉬 메모리 셀의 제조 방법에 관한 것으로, 트랜치 절연막의 틈출부를 소정 폭을 갖는 니플 형태로 식각하기 위한 세정공정전에 미온 주입 공정을 실시하여 트랜치 절연막의 틈출부 중 모트가 발생될 부위를 제외한 부위의 식각률을 증가시킴으로써 트랜치 절연막의 모트 발생을 억제하면서 플로팅 게이트의 스페이싱을 최적화할 수 있는 플래쉬 메모리 셀의 제조 방법을 제시한다.

**도면도****도 1a****도면이**

플래시 메모리 셀, 자기 정렬, 플로팅 게이트, 트랜치 절연막, 니플, 미온 주입, 모트

**도 1b****도면의 간단한 설명**

도 1a 내지 도 1b는 본 발명의 실시예에 따른 플래쉬 메모리 셀의 제조 방법을 설명하기 위해 도시한 단면도이다.

**<도면의 주요 부분에 대한 부호의 설명>**

10 : 반도체 기판	12 : 패드 산화막
14 : 패드 절화막	16 : 트랜치
18 : 회생 산화막	20 : 월 산화막
22 : 라이너 산화막	24 : 트랜치 절연막
26 : 터널 산화막	28 : 플로팅 게이트
30 : 유전체막	32 : 제 2 폴리실리콘층

**설명의 상세한 설명****설명의 목적**

### 본 발명이 속하는 기술 분야 및 그 분야의 종래기술

본 발명은 플래쉬 메모리 셀의 제조 방법에 관한 것으로, 특히 플래쉬 메모리 셀의 자기 정렬 플로팅 게이트(Self aligned floating gate) 형성 방법에 관한 것이다.

일반적으로, 플래쉬 메모리 셀(Flash memory cell)은 소자·분리 공정으로 STI(Shallow Trench Isolation) 공정을 이용하여 구현하고 있는데, 마스크 패터닝(Mask patterning)을 이용한 플로팅 게이트의 아이슬레이션(Isolation) 공정 시 마스크 임계 치수(Critical Dimension; CD)의 변화(Variation)에 따라 웨이퍼 균일성(Wafer uniformity)이 매우 불량하여 균일한 플로팅 게이트 구현이 용이하지 않으며, 커플링비 일정(Coupling ratio)의 변화에 따라 메모리 셀의 프로그램 및 소거 패일(Fail) 등의 문제가 발생하고 있다.

더욱이, 고집적화되는 설계 특성상 0.15 $\mu m$  미하의 작은 스페이스(Space) 구현시에 마스크 공정이 더욱 어려워져 균일한 플로팅 게이트 구현이 중요한 요소로 작용하는 플래쉬 메모리 셀 제조 공정이 한층 더 어려워지고 있다. 또한, 플로팅 게이트가 균일하게 형성되지 않을 경우 커플링비의 차이가 삼화되어 메모리 레이아웃에 미치는 영향을 미친다. 마스크 공정의 증가로 인해 제품의 수율 저하 및 원가 상승의 원인이 되고 있다.

이에 따라, 0.13 $\mu m$  테크놀로지(Technology) 플래쉬 메모리 셀에서는 플로팅 게이트용 마스크 공정 및 각 공정을 진행하지 않고 자기 정렬 방식으로 플로팅 게이트를 형성하고 있다. 그러나, 자기 정렬 방식에서는 STI 평탄화 공정(CMP: Chemical mechanical polishing) 후 트랜치 절연막의 식각을 위한 세정공정에서는 등방식 식각(isotropic etch)에 의해 모트(Moat) 지역이 과다하게 세정되는 현상이 발생하게 이루어지는 모트 발생(Over etching) 문제로 인해 헤리티지(Heritage) 공정에서 터널 산화막이 얇아지게 되고 전체적인 소자 특성의 열화를 가져온다. 이런 현상으로 인해 헤리티지 공정에서 터널 산화막이 얇아지게 되고 전체적인 소자 특성의 열화를 가져온다. 따라서, 고집적화되는 플래쉬 소자에 있어서 모트가 발생하지 않은 셀을 확보하여 커플링비를 높이는 것이 가장 중요한 문제로 대두되고 있다.

### 본 발명이 이루고자 하는 기술적 목표

따라서, 본 발명은 상기의 문제를 해결하기 위해 한출된 것으로, 트랜치 절연막의 둘출부를 소정 폭을 갖는 니플 형태로 식각하기 위한 세정공정전에 이온 주입 공정을 실시하여 트랜치 절연막의 둘출부 중 모트가 발생될 부위를 제외한 부위의 식각률을 증가시킴으로써 트랜치 절연막의 모트 발생을 억제하면서 플로팅 게이트의 스페이스를 최적화하는데 목적이 있다.

### 본 발명의 구성 및 작용

상술한 목적을 달성하기 위해 본 발명은 반도체 기판 상에 패드 산화막 및 패드 절화막을 형성하는 단계; 상기 반도체 기판에 트랜치를 형성하는 단계; 전체 구조 상부에 트랜치 절연막을 형성한 후 제 1 평탄화 공정을 실시하여 상기 트랜치 절연막을 고립시키는 단계; 상기 패드 절화막을 제거하여 상기 트랜치 절연막의 둘출부를 노출시키는 단계; 이온 주입 공정을 실시하여 상기 트랜치 절연막의 둘출부를 도핑시키는 단계; 세정공정을 실시하여 상기 트랜치 절연막의 둘출부를 소정 폭으로 식각하는 단계; 전체 구조 상부 단계; 제 1 폴리실리콘층을 형성한 후 제 2 평탄화 공정을 실시하여 고립된 플로팅 게이트를 형성하는 단계; 제 1 폴리실리콘층을 형성한 후 쟁각 공정을 실시하여 컨트를 게이트를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

이하 협부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

도 1a 내지 도 1k는 본 발명의 실시예에 따른 플래쉬 메모리 셀의 제조 방법을 설명하기 위해 도시한 플래쉬 메모리 셀의 단면도이다.

도 1a를 참조하면, 전처리 세정 공정에 의해 세정된 반도체 기판(10) 상에 패드 산화막(12) 및 패드 절화막(14)이 순차적으로 형성된다. 이때, 전처리 세정 공정은 DHF(Diluted HF; 50:1의 비율로 H<sub>2</sub>O로 회색된 HF용액) 또는 BOE(Buffer Oxide Etchant; HF와 NH<sub>4</sub>F가 100:1 또는 300:1로 혼합된 용액)를 이용하여 실시한다.

또한, 패드 산화막(12)은 상기 반도체 기판(10) 상부 표면의 결정 결합 또는 표면처리를 위해 소정 온도에서 건식 또는 습식 산화방식을 실시함으로써 형성된다. 패드 절화막(14)은 후속 공정에 의해 형성되는 트랜치 절연막의 높이를 최대한 증가시키기 위해 LP-CVD(Low Pressure Chemical Vapor Deposition) 방식으로 증착 공정을 실시함으로써 최소한 3000 Å의 두께로 형성된다.

도 1b를 참조하면, 전체 구조 상부에 아이슬레이션(ISO) 마스크를 이용한 STI 공정을 실시하여 패드 절화막(14), 패드 산화막(12)을 포함한 반도체 기판(10)의 소정 부위를 식각함으로써 반도체 기판(10)의 소정 막(16)을 형성된다. 여기서, 반도체 기판(10)은 트랜치(16)에 의해 활성 영역과 부위가 노출되도록 트랜치(16)가 형성된다. 이어서, 반도체 기판(10)은 트랜치(16)에 의해 활성 영역과 비활성 영역(즉, 트랜치가 형성된 영역)으로 분리된다. 이때, 트랜치(16)의 내부 경사면의 75° 내지 85° 정도의 경사각( $\alpha$ )을 가지며, 패드 절화막(14)은 거의 수직한 프로파일(Profile)을 갖는다.

도 1c를 참조하면, 월(Wall) 회생(Sacrificial; SAC) 산화공정을 건식 산화방식으로 실시하여 트랜치(16)의 내부면에 위치한 실리콘을 성장시킴으로써 트랜치(16)의 내부면에 회생 산화막(18)이 형성된다. 한

편, 월 희생(SAC) 산화공정을 실시하기 전에 트랜치(16)의 내부면에 형성된 자연 산화막을 제거하기 위해 MF 또는 BOE를 이용하여 전처리 세정공정이 실시된다.

도 1d를 참조하면, 희생 산화막(18)의 중첩 타겟(Target)과 동일한 두께를 갖는 식각 타겟(Target)으로 세정공정을 실시하여 희생 산화막(18)을 제거한 후 트랜치(16)의 저면(Bottom)이 라운딩을 갖도록 월 산화공정을 실시함으로써 트랜치(16)의 내부면에 월 산화막(20)이 형성된다.

도 1e를 참조하면, 전체 구조 상부에 DCS(SiH<sub>2</sub>Cl<sub>2</sub>)을 기본으로 하는 HTO(High Temperature Oxide)를 얇게 중첩한 후 고온에서 치밀화 공정을 실시함으로써 라이너(Liner) 산화막(22)이 형성된다. 이때, 치밀화 공정은 라이너 산화막(22)의 조직을 치밀하게 하여 식각 저항성을 높혀 STI 공정시 발생하는 모트의 형성을 억제함과 아울러 누설 전류(Leakage current)를 방지하기 위해 최소한 1000°C 이상의 고온에서 실시한다.

도 1f를 참조하면, 전체 구조 상부에 트랜치 절연막을 HDP 산화막을 형성한 후 평탄화 공정(CMP)을 실시함으로써 트랜치(16)를 매립하도록 트랜치 절연막(24)이 형성된다. 이때, 트랜치 절연막을 HDP 산화막은 트랜치(16) 내부에 보이드(Void)가 발생하지 않도록 하기 위해 갭 펄팅(Gap filling) 공정에 의해 형성된다.

또한, 평탄화 공정(CMP)은 패드 절화막(14)을 식각 베리어층(Etch stopper)으로 이용하여 패드 절화막(14)이 노출될 때까지 실시된다. 이어서, 패드 절화막(14) 상부면에 잔존할 수 있는 트랜치 절연막(24)을 제거하기 위해 HF 또는 BOE를 이용한 세정 공정을 실시함으로써 도시된 바와 같이 트랜치 절연막(24)은 패드 절화막(14)보다 소정 두께만큼 과도 식각(Over etch)된다.

도 1g를 참조하면, 패드 산화막(12)을 식각 베리어층으로 이용한 세정공정을 실시하여 패드 산화막(12)이 노출될 때까지 트랜치 절연막(24)을 제외한 패드 절화막(14)을 식각함으로써 상부가 둘출부 구조를 갖는 트랜치 절연막(24)이 형성된다. 이때, 패드 산화막(12)은 후속 공정에서 이루어지는 트랜치 절연막(24)의 미온 주입 공정시 활성영역을 보호하기 위한 보호층으로 사용된다.

도 1h를 참조하면, 전체 구조 상부에 마스크를 형성하지 않은 상태에서 미온 주입각을 0 내지 80°로 비교적 하이 틸트(High tilt)로 하여 미온 주입 공정을 실시함으로써 트랜치 절연막(24)의 둘출부 중 모트가 자주 발생하는 부위(A)를 제외한 부위에만 미온이 주입된다.

이는, 미온 주입 시 미온 주입각을 0 내지 80° 범위에서 설정함과 아울러 회전(Twist)각을 0 내지 360°의 범위로 설정하여 인접해 있는 트랜치 절연막(24)의 둘출부를 차폐층으로 이용함으로써 트랜치 절연막(24)의 둘출부 중 모트가 자주 발생하는 부위(A)를 제외한 부위에만 미온을 주입시키는 것이 가능하기 때문이다. 또한, 상기 미온 주입 공정은 미온이 주입되는 부위의 손상을 최적화하기 위해 도즈가 1E10 내지 1E13 ions/cm<sup>2</sup>인 풍소(B), 인(P) 및 비소(As) 중 어느 하나의 미온을 주입하여 2 내지 5KeV의 낮은 미온 주입 에너지로 실시된다.

한편, 상기와 같은 방법으로 미온 주입 공정을 실시하여 트랜치 절연막(24)의 둘출부 중 모트가 자주 발생하는 부위(A)를 제외한 부위에 미온을 주입함으로써 모트가 자주 발생하는 부위(A)를 제외한 모든 부위에 미온 주입에 의한 손상(Damage)이 발생된다. 이로 인해, 트랜치 절연막(24)의 둘출부 중 미온이 주입되는 부위는 미온이 주입되지 않은 부위보다 식각률(Etch rate)이 증가되어 후속 세정공정시 미온이 주입되지 않은 부위(A)보다 식각이 빨리 진행된다.

도 1i를 참조하면, 반도체 기판(10)의 상부면을 식각 베리어층으로 하여 세정공정을 실시함으로써 패드 산화막(12)이 완전히 제거되는 동시에 트랜치 절연막(20)의 둘출부가 식각되어 니플(Nipple) 형태를 갖는 트랜치 절연막(20)이 형성된다. 이때, 세정공정으로는 HF와 NH<sub>4</sub>OH가 소정 비율로 혼합된 용액을 이용하여 250 내지 550초 동안 실시하는 습식방식을 사용하거나, HF를 이용한 건식방식을 사용한다.

여기서, 도 1h에서 설명한 바와 같이 트랜치 절연막(20)의 둘출부 중 미온이 주입되어 손상된 부위는 미온이 주입되지 않은 부위(A)에 비해 식각이 빨리 진행됨에 따라 미온이 주입되지 않은 부위(A)의 모트 발생을 최대한 억제하면서 미온이 주입된 부위의 최적화된 패턴 형성이 가능하다. 즉, 도시된 화살표의 크기를 최대한 확장하면서 미온이 주입된 부위의 식각률을 감소시켜 세정공정시 미온이 주입된 부위에 최적화된 패턴을 형성하기 위한 식각 마진을 확보할 수 있다.

이어서, 활성영역 상에 소정의 온도에서 습식 또는 건식 산화방식을 실시하여 스크린 산화막(도시하지 않음)을 형성한 후, 월 미온 주입 공정 및 문턱전압 미온 주입 공정을 실시함으로써 월 형역 및 불순물 영역(도시하지 않음)이 형성된다.

도 1j를 참조하면, MF 또는 BOE를 이용한 세정공정을 실시하여 스크린 산화막을 제거한 후 스크린 산화막이 제거된 부위에 터널 산화막(26)이 형성된다. 이어서, 전체 구조 상부에 플로팅 게이트용 제 1 플리막(24)을 원하는 타겟만큼 식각한 후 전체 구조 상부에 ON(Oxide/Nitride/Oxide) 구조 또는 ONON(Oxide/Nitride/Oxide/Nitride) 구조의 유전체막(30)과 커트를 게이트용 제 2 플리실리콘층(32)을 순차적으로 증착한 후 소정 식각 공정을 실시하여 패터닝함으로써 컨트롤 게이트(도시하지 않음)가 형성된다.

도 1k를 참조하면, 세정공정을 실시하여 플로팅 게이트(28) 사이에 니플 형태로 둘출되는 트랜치 산화막(24)을 원하는 타겟만큼 식각한 후 전체 구조 상부에 ON(Oxide/Nitride/Oxide) 구조 또는 ONON(Oxide/Nitride/Oxide/Nitride) 구조의 유전체막(30)과 커트를 게이트용 제 2 플리실리콘층(32)을 순차적으로 증착한 후 소정 식각 공정을 실시하여 패터닝함으로써 컨트롤 게이트(도시하지 않음)가 형성된다.

### 불명의 효과

상기에서 설명한 바와 같이 본 발명은 트랜치 절연막의 둘출부를 소정 폭을 갖는 니플 형태로 식각하기

위한 세정공정에 이온 주입 공정을 실시하여 트랜치 절연막의 둘출부중 모트가 발생될 부위를 제외한 부위의 식각률을 증가시킴으로써 트랜치 절연막의 모트 발생을 억제하면서 플로팅 게이트의 스페이싱을 최적화할 수 있는 패턴을 형성할 수 있다.

또한, 본 발명은 이온 주입 공정을 실시하여 모트가 발생하는 것을 방지함으로써 후속 공정인 터널 산화막이 쉽게 형성되는 것을 방지할 수 있다.

또한, 트랜치 절연막의 식각공정인 세정공정을 선택적으로 실시함으로써 플래쉬 메모리 셀의 전체적인 프로파일을 개선시키는 동시에 전기적인 특성을 향상시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 기판 상에 패드·산화막 및 패드·질화막을 형성하는 단계;

상기 반도체 기판에 트랜치를 형성하는 단계;

전체 구조 상부에 트랜치 절연막을 형성한 후 제 1 평탄화 공정을 실시하여 상기 트랜치 절연막을 고립시키는 단계;

상기 패드·질화막을 제거하여 상기 트랜치 절연막의 둘출부를 노출시키는 단계;

이온 주입 공정을 실시하여 상기 트랜치 절연막의 둘출부를 도핑시키는 단계;

세정공정을 실시하여 상기 트랜치 절연막의 둘출부를 소정 각으로 식각하는 단계;

전체 구조 상부에 제 1 폴리실리콘층을 형성한 후 제 2 평탄화 공정을 실시하여 고립된 플로팅 게이트를 형성하는 단계; 및

전체 구조 상부에 유전체막 및 제 2 폴리실리콘층을 형성한 후 식각 공정을 실시하여 컨트롤 게이트를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

##### 청구항 2

제 1 항에 있어서,

상기 이온 주입 공정은 상기 둘출부중 상기 패드·산화막을 경계로 하여 상기 패드·산화막 상에 형성된 부위에만 실시되는 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

##### 청구항 3

제 2 항에 있어서,

상기 패드·산화막은 상기 이온 주입 공정시 반도체 기판의 상부 표면을 보호하기 위한 보호막으로 사용되는 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

##### 청구항 4

제 1 항에 있어서,

상기 이온 주입 공정은 0 내지 360° 의 회전 범위에서 0 내지 80° 의 이온 주입각으로 실시되는 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

##### 청구항 5

제 1 항에 있어서,

상기 이온 주입 공정은 도즈가 1E10 내지 1E13 ions/cm<sup>2</sup>인 봉소, 일 및 비소중 어느 하나의 이온을 이용하여 2 내지 5KeV의 낮은 이온 주입 에너지로 실시되는 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

##### 청구항 6

제 1 항에 있어서,

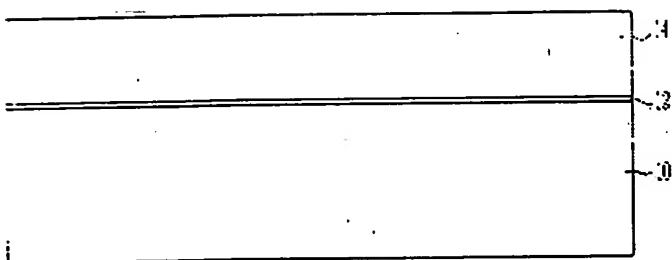
상기 세정공정은 HF와 NH<sub>4</sub>OH가 소정 비율로 혼합된 용액을 이용하여 250 내지 550초 동안 실시하는 습식방식인 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

##### 청구항 7

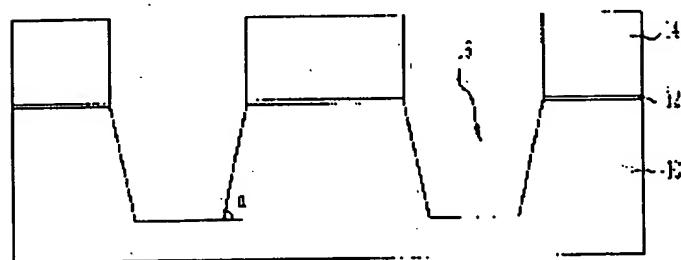
제 1 항에 있어서,

상기 세정공정은 HF를 이용한 건식방식인 것을 특징으로 하는 플래쉬 메모리 셀의 제조 방법.

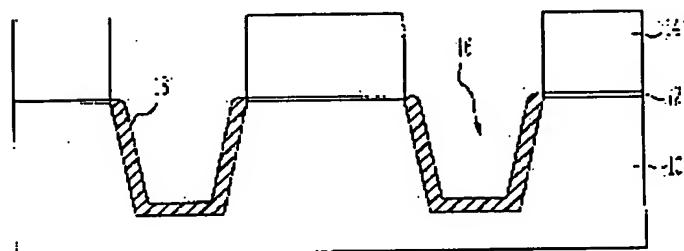
도면 1a



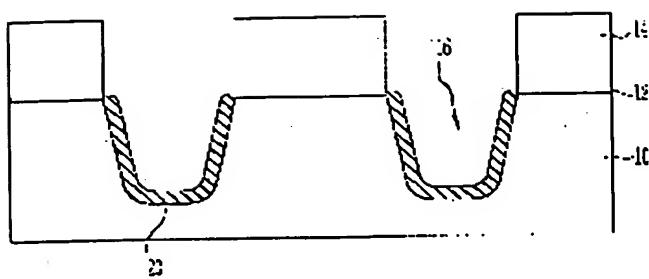
도면 1b



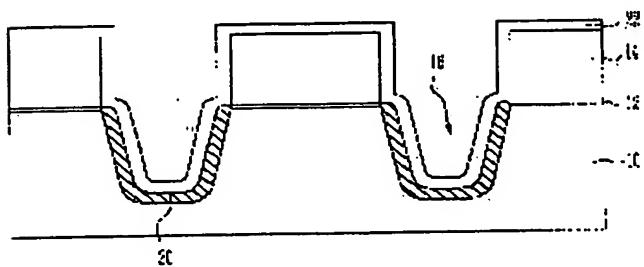
도면 1c



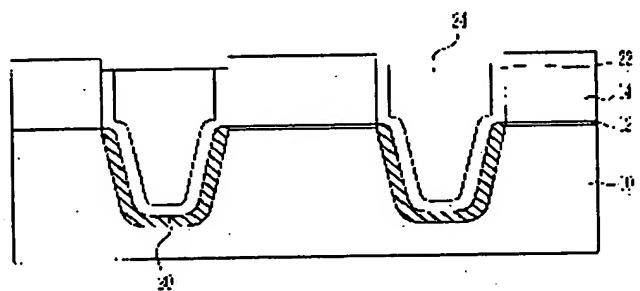
도면1d



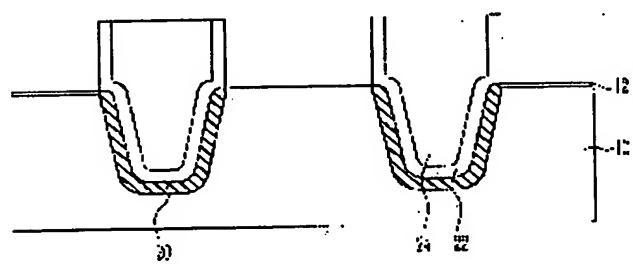
도면1e



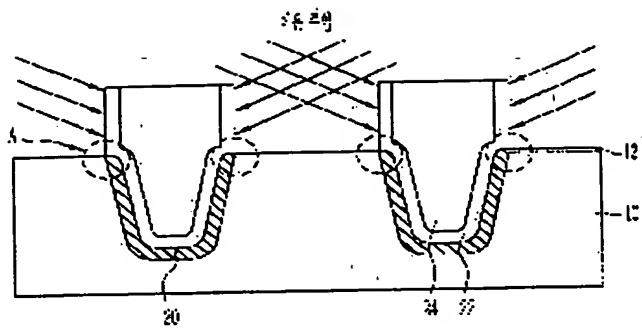
도면1f



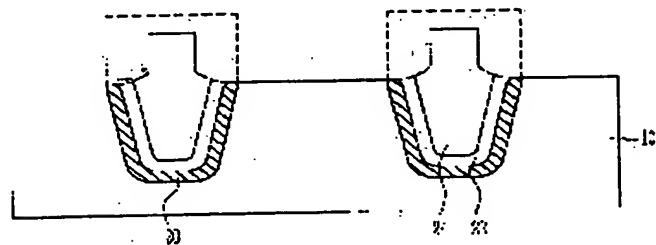
도면1g



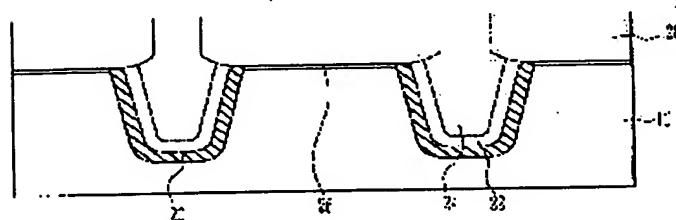
도면10



도면11



도면12



五四九

